

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-054944

(43)Date of publication of application : 02.03.1989

(51)Int.Cl.

H04B 1/26

(21)Application number : 62-210333

(71)Applicant : KENWOOD CORP

(22)Date of filing : 26.08.1987

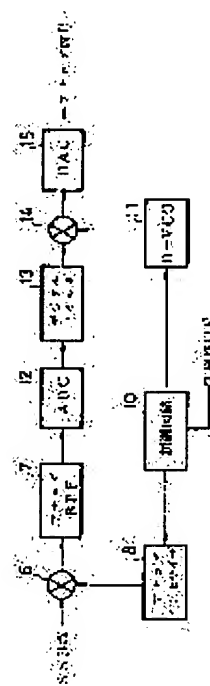
(72)Inventor : KAWASE SEISHI

(54) SSB SIGNAL RECEIVER

(57)Abstract:

PURPOSE: To attain high performance, by changing the oscillating frequency of a digital voltage controlled oscillator in response to the change in the oscillating frequency of an analog frequency synthesizer so as to perform demodulation without any hindrance.

CONSTITUTION: When an oscillated frequency of an analog synthesizer 8 is increased by an output from a control circuit 10, the intermediate frequency is varied and noise is eliminated. On the other hand, the oscillated frequency of a digital voltage controlled oscillator 11 is controlled by the control circuit 10 and varied corresponding to the frequency being the result of the change in the oscillated frequency of the analog frequency synthesizer to perform the demodulation of an SSB signal without any hindrance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭64-54944

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月2日

H 04 B 1/26

L-7251-5K

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 SSB信号受信装置

⑮ 特 願 昭62-210333

⑯ 出 願 昭62(1987)8月26日

⑰ 発 明 者 川 瀬 誠 史 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内

⑱ 出 願 人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号

⑲ 代 理 人 弁理士 砂 予 信 夫 外1名

明 細 書

1. 発明の名称

SSB信号受信装置

2. 特許請求の範囲

アナログ周波数シンセサイザと、デジタル電圧制御発振器と、入力SSB信号とアナログ周波数シンセサイザの出力とを乗算して中間周波信号に変換する第1の乗算器と、第1の乗算器の出力をデジタル信号に変換するA/D変換器と、A/D変換器の出力を復調するデジタルバンドパスフィルタと、デジタルバンドパスフィルタからの出力とデジタル電圧制御発振器の出力とを乗算してSSB信号を復調するデジタル乗算器と、デジタル乗算器により復調されたデジタルオーディオ信号をアナログ信号に変換するD/A変換器と、アナログ周波数シンセサイザの発振周波数を制御すると共にデジタル電圧制御発振器の発振周波数を制御し、かつアナログ周波数シンセサイザの周波数を変更して中間周波帯域を実質的にシフトさせたときシフト周波数に対応してデジタル電圧制御発振器の発振周

波数をシフトさせる制御手段とを備えたことを特徴とするSSB信号受信装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はSSB信号受信装置に関し、特に中間周波帯域を実質的に可変とし、かつデジタル信号処理でSSB復調を行なうSSB信号受信装置に関する。

(従来技術およびその問題点)

デジタル信号処理にてSSB波を復調するSSB信号受信装置において、入力SSB波中の雑音を除去するためにたとえば第7図に示す如く、入力SSB信号と局部発振器16の出力とを乗算器17で乗算して周波数変換し、アナログバンドパスフィルタ18を介してA/D変換器19に供給してデジタル信号に変換のうえデジタルフィルタ20に供給する。デジタルフィルタ20からの出力はデジタル乗算器21に供給し、デジタル局部発振器22の出力と乗算して復調し、復調出力をD/A変換することによりSSB信号の復調を行なっている。

特開昭64-54944 (2)

しかし上記の第7図に示す如きSSB復調装置によるときは、雑音除去のために中心周波数をずらせた複数のデジタルバンドパスフィルタ20を設けて、その1つを選択するようにしていた。このためデジタルバンドパスフィルタ20の数が多く、メモリ容量が多くなる問題点があった。

またこの問題点を避けるためデジタルフィルタを1つですます場合は、たとえば第8図に示す如く、第7図におけるアナログ局部発振器16およびデジタル局部発振器22の発振周波数をシフトさせる必要があり、このために第8図に示す如くアナログ局部発振器16をアナログ周波数シンセサイザ29に変更し、デジタル局部発振器22をアナログ周波数シンセサイザ30に変更すると共にその出力をデジタル信号に変換するA/D変換器32を設け、たとえば制御回路31にてアナログ周波数シンセサイザ29および30の発振出力を制御して、中間周波帯域を実質的に移動させ、かつ復調可能とする。なお、23は周波数変換のためのアナログ乗算器、24はアナログバンドパス

フィルタ、25はA/D変換器、26はデジタルフィルタ、27はSSB復調のためのデジタル乗算器、28はD/A変換器である。

しかし上記の第8図に示したSSB信号受信装置によればデジタルフィルタの数は減少させることができるが、局部発振器29、30は発振周波数をシフトするためアナログ周波数シンセサイザとする必要がある際か、アナログ周波数シンセサイザ30の出力をデジタル信号処理系へ供給するためにA/D変換器32を新たに必要とする問題点があった。

この発明は上記の問題を解決したSSB信号受信装置を提供することを目的とする。

(問題点を解決するための手段)

この発明は上記の問題点を解決するために次の如く構成した。

アナログ周波数シンセサイザと、デジタル電圧制御発振器と、入力SSB信号とアナログ周波数シンセサイザの出力とを乗算して中間周波信号に変換する第1の乗算器と、第1の乗算器の出力をデ

ジタル信号に変換するA/D変換器と、A/D変換器の出力を濾波するデジタルバンドパスフィルタと、デジタルバンドパスフィルタからの出力とデジタル電圧制御発振器の出力とを乗算してSSB信号を復調するデジタル乗算器と、デジタル乗算器により復調されたデジタルオーディオ信号をアナログ信号に変換するD/A変換器と、アナログ周波数シンセサイザの発振周波数を制御すると共にデジタル電圧制御発振器の発振周波数を制御し、かつアナログ周波数シンセサイザの周波数を変更して中間周波帯域を実質的にシフトさせたときシフト周波数に対応してデジタル電圧制御発振器の発振周波数をシフトさせる制御手段とを備えた。

(作用)

そこで第1の乗算器で入力SSB信号とアナログ周波数シンセサイザの出力とが乗算されて中間周波数に周波数変換され、デジタル信号にA/D変換器によつて変換され、デジタルバンドパスフィルタを介して出力される。デジタルフィルタからの出力はキャリアポイント周波数を発振するデジ

タル電圧制御発振器からの出力と第2の乗算器で乗算されてSSB信号の復調がなされる。ここでアナログ周波数シンセサイザの発振周波数およびデジタル電圧制御発振器の発振周波数は制御手段によつて制御される。

上記の状態からアナログ周波数シンセサイザの発振周波数を変化させることにより中間周波帯域は前記変化に応じてシフトされ、中間周波信号の一部はデジタルバンドパスフィルタの帯域外に出て、この部分に存在している雑音は除去される。またアナログ周波数シンセサイザの発振周波数の前記変化に応じてデジタル電圧制御発振器の発振周波数が制御手段によつて変更され、SSB信号の復調は支障なく行われる。

(実施例)

以下、本発明を実施例により説明する。

第1図は本発明の一実施例の構成を示すブロック図である。

入力されたSSB信号をアナログ周波数シンセサイザ8からの出力とアナログ乗算器6で乗算して

特開 64-54944 (3)

周波数変換する。アナログ乗算器 6 で周波数変換された SSB 信号はアナログバンドパスフィルタ 7 に供給して不要周波数成分を除去し、アナログバンドパスフィルタ 7 の出力は A/D 変換器 12 に供給してデジタルデータに変換する。変換されたデジタルデータは SSB 帯域のデジタルフィルタ 13 に供給して SSB 信号を取り出し、デジタルフィルタ 13 の出力とデジタル電圧制御発振器 11 からの出力とをデジタル乗算器 14 で乗算して SSB 信号を復調する。デジタル乗算器 14 にて復調されたデジタルオーディオデータは D/A 変換器 15 にてアナログ音声信号に変換して出力する。

アナログ周波数シンセサイザ 8 とデジタル電圧制御発振器 11 共に発振周波数情報は制御回路 10 にて与える。

デジタル電圧制御発振器 11 はたとえ第 2 図に示す如く構成されている。入力にはデジタルデータが供給され、この入力デジタルデータはアッテネータ 1 で振幅制限される。無変調時の位相推移データ発生器 3 から出力された位相推移データ

と入力をサンプリング周期だけ遅延させる遅延レジスタ (以下遅延回路と記す) 4 からの出力データとアッテネータ 1 からの出力データとは加算器 2 で加算し、加算器 2 からの出力データはサイン (SINE) テーブルを記憶させたメモリ 5 に位相情報として供給すると共に、遅延回路 4 に供給する。メモリ 5 では入力された位相情報を周波数に変換するものであって、SIN 波が第 3 図に示す如く記憶されている。

まず、デジタル電圧制御発振器 11 の作用を説明する。アッテネータ 1 により振幅制限された入力デジタルデータは遅延回路 4 および加算器 2 にて積分されて位相が順次積み上げられ、これがメモリ 5 の SIN テーブルによつて正弦波に変換される。これを具体的に数値例の一例で説明する。

まず無変調のとき入力信号は零であるため、位相推移データ発生器 3 からの位相推移データ ϕ ($=1000\text{H}$) のみが積分され、位相は $n/2$ ずつ進む。位相推移データ発生器 3 からはサンプリ

ング毎に 1000H が供給されるので、メモリ 5 からは "0", "1", "0", "-1", "0", "1" ... が出力される。この様子は第 4 図に示す如くであつて、これがデジタル電圧制御発振器 11 の中心周波数であり、搬送波周波数 f_c である。搬送波周波数 f_c は $f_s/4$ である。ここで f_s はサンプリング周波数であり、アッテネータ 1 に制御回路 10 からデータが供給される周期の逆数であり、この周期で遅延回路 4 は加算器 2 に遅延出力を供給する。またサンプリング周波数は A/D 変換器 12 のサンプリング周波数および D/A 変換器 15 のサンプリング周波数と同一周波数である。

いま入力データが加えられ、変調が加えられる。この様子は第 5 図に示す如くである。第 5 図において ϕ は第 4 図に示した無変調時の波形を再記してある。入力データが加えられると、入力データに定数 $\frac{1}{2}$ が乗算されてその振幅が制限された後、位相推移データ ϕ が加えられ、遅延回路 4 にて積分される。ここで入力データが正の振幅に対応するデータのときは位相推移データ ϕ との加算

になり、負の振幅に対応するデータのときは減算となる。入力データが仮に 16 ビットとした場合、 $7\text{FFFH} \sim 8000\text{H}$ の間のコードで入力される。いま $\frac{1}{2} = \frac{1}{128}$ とし、仮に正の最大値 7FFFH が入力されてきたとき、アッテネータ 1 からの出力は FFFH となる。この FFFH に位相推移データ ϕ ($=1000\text{H}$) を加算して 10FFFH のアドレスがメモリ 5 に与えられる。メモリ 5 は 10FFFH のアドレスに対応する内容を読み出す。またメモリ 5 への 10FFFH のアドレス供給と同時に 10FFFH は遅延回路 4 に供給され 1 サンプル周期だけ遅延される。次のサンプリングにおいても正の最大値が入ってくるものとする、加算器 2 では ($\text{FFFH} + 1000\text{H} + 10\text{FFFH}$) の加算が行われ、この加算結果 21FFFH のアドレスが生産されメモリ 5 のアドレス指定がなされる。この状態が続いたものとする、搬送波周波数より成る値ずれた周波数のままの発振がデジタル電圧制御発振器 11 によりなされる。

なお、メモリ 5 の最大アドレスを 3FFFH とし

特開昭64-54944 (4)

たとき、加算器 2 からの出力で指定されるアドレスが 3 FFFH を超えると超えた分また 000H に加算される。

搬送波周波数 f_c 、ずれ分を df 、サンプリング周波数 $f_s = 50 \text{ kHz}$ とすると

$$f_c = f_s / 4 = 12.5 \text{ kHz}$$

$$\text{FFH} = 256 (10)$$

$$1000\text{H} = 4096 (10)$$

$$df = 12500 \times 256 / 4096$$

$$= 781.25 [\text{Hz}]$$

となる。これが、このデジタル電圧制御発振器 11 の最大周波数偏移になるわけで、正の最大値のとき $781.25 [\text{Hz}]$ の偏移となる。負の最大値の場合も上記の場合と同様である。

また、最小の周波数ステップ df_{\min} は

$$df_{\min} = 781.25 / 256 = 3.05 [\text{Hz}]$$

となり、 $3.05 [\text{Hz}]$ ステップで偏移することになる。

最大周波数偏移 df 、最小の周波数ステップ df_{\min} を変更するためには、アプテネータ 1 の

$\frac{1}{2}$ の値を変更するか、もしくはメモリ 5 の SINE の "0" ~ "1" までは 4096 ワードとしたがこれを必要に応じて増加または減少させればよい。第 5 図において H は変調時の波形を示している。デジタル電圧制御発振器 11 にたとえば A/D 変換器よりデータを与えた場合、A/D 変換器の入力信号に応じた周波数で発振させることができ、また、制御回路 10 からデータを与えても同様であつて周波数シンセサイザのように発振させることができる。

第 1 図に戻つて、アナログ乗算器 6 に供給する SSB 信号のキャリアポイント周波数を f_{sc} 、アナログ周波数シンセサイザ 8 の発振周波数を f_{cs} とする。

なお、アナログバンドパスフィルタ 7 の出力は A/D 変換器 12 でデジタル信号に変換され、デジタルバンドパスフィルタ 13 に供給されるが、以下の説明において A/D 変換器 12 による変換は省略し、かつデジタルバンドパスフィルタ 13 を等価的にアナログに置換した如くにして説明する。

供給された SSB 信号はアナログ周波数シンセサイザ 8 からの出力と乗算され、この乗算により SSB 波は周波数変換される。この周波数変換出力中のアナログ周波数シンセサイザ周波数に対して低い方の周波数成分をアナログバンドパスフィルタ 7 により採るものとする。周波数変換された SSB 信号のキャリアポイント周波数 f_{sc} は $(f_{cs} - f_{so})$ となる。デジタルバンドパスフィルタ 13 の中心周波数は周波数変換された SSB 信号の中心周波数と同じ f_{sc} とする。これらの状態は第 6 図 (a) に示すスペクトル配置の如くである。第 6 図 (a) において A はアナログ周波数シンセサイザ 8 の発振周波数スペクトラム、B は入力 SSB 波の周波数スペクトラム、C はアナログ乗算器 6 の出力の周波数スペクトラム、D はアナログバンドパスフィルタ 7 の通過帯域、E はデジタルバンドパスフィルタ 13 の通過帯域を示している。此の場合はデジタルバンドパスフィルタ 13 の通過帯域内に入力 SSB 信号が入っている状態であり、実質的に中間周波帯のシフトは行なわれていない。アナ

ログ乗算器 6 により周波数変換された SSB 信号を復調するためにはデジタルバンドパスフィルタ 13 の出力とデジタル電圧制御発振器 11 の出力とを乗算器 14 において乗算すればよく、此の場合デジタル電圧制御発振器 11 の発振周波数は f_{sc} にすることで復調される。ここで、制御回路によりアナログ周波数シンセサイザ 8 の発振周波数とデジタル電圧制御発振器 11 の発振周波数とはそれぞれ f_{cs} と f_{sc} に制御される。

つぎに入力された SSB 信号の周波数の高い部分に除去したい雑音がある場合は、その旨の操作信号を受けた制御回路 10 によりアナログ周波数シンセサイザ 8 の発振周波数は $(f_{cs} + df)$ [但し df は正] に、デジタル電圧制御発振器 11 の発振周波数は $(f_{sc} + df)$ に制御する。

アナログ周波数シンセサイザ 8 の発振周波数を $(f_{cs} + df)$ に変更したことにより入力 SSB 信号のキャリアポイント周波数は $(f_{sc} + df)$ となる。さらに、バンドパスフィルタ 7 を介して出力される SSB 信号の一部はデジタルバンドパスフィ

特開昭64-54944 (5)

ルタ13の帯域の上限からはずれた状態となつてアナログバンドパスフィルタ7を介して出力されるSSB信号の帯域調整が行なわれ、入力SSB信号の周波数の高い部分は除去され、そこに存在していた雑音が除去されることになる。この状態は周波数増加方向に実質的に中間周波帯のシフトが行なわれた状態である。一方、周波数変換されたSSB信号のキャリアポイント周波数は $(f_{sc0} + 4f)$ であり、デジタル電圧制御発振器11は制御回路10により制御されて周波数 $(f_{sc0} + 4f)$ の発振を行なっているため、デジタル乗算器14によりデジタルバンドパスフィルタ13の出力とデジタル電圧制御発振器11の出力とが乗算されることでSSB信号の復調がなされ、D/A変換器15でアナログ信号に変換のうえ出力される。

上記の如く、制御回路10からの出力によりアナログ周波数シンセサイザ8の発振周波数が第6図(a)に示した状態から周波数 $+4f$ だけ増加させることにより、あたかも中間周波帯域が周波数 $+4f$ だけ可変された状態となつて雑音が除去

される。同時に制御回路10からの出力により第6図(a)に示した状態から周波数 $+4f$ だけ増加させられて、SSB信号の復調ができることになる。なお、上記の状態は第6図(b)に示すスペクトル配置の如くである。第6図(b)において、 A_1 はアナログ周波数シンセサイザ8の発振周波数スペクトラム、 C_1 はアナログ乗算器6の出力の周波数スペクトラムであり、BおよびDは第6図(a)の場合と同様に入力SSB信号の周波数スペクトラムおよびデジタルバンドパスフィルタ13の通過帯域を示している。

また、入力されたSSB信号の低い周波数部分に除去したい雑音がある場合は、その旨の操作信号を受けた制御回路10によりアナログ周波数シンセサイザ8の発振周波数は $(f_{sc0} - 4f)$ に、デジタル電圧制御発振器11の発振周波数は $(f_{sc0} - 4f)$ に制御される。したがって上記の場合と同様に作用して入力されたSSB信号の低い周波数部分に除去したい雑音がある場合は、その雑音が除去されることになる。この状態は周波数減少方向

に実質的に中間周波帯のシフトが行なわれた状態である。なお、この状態を図示すれば第6図(c)に示す如くである。第6図(c)において、 A_2 はアナログ周波数シンセサイザ8の発振周波数スペクトラム、 C_2 はアナログ乗算器6の出力の周波数スペクトラムを示し、BおよびDは第6図(a)、第6図(b)の場合と同一である。

(発明の効果)

以上説明した如くこの発明によればアナログ周波数シンセサイザの発振周波数を変更することで実質的に中間周波帯をシフトして雑音を除去すると同時に、デジタル電圧制御発振器の発振周波数はアナログ周波数シンセサイザの発振周波数の変更した周波数に対応して変更されてSSB信号の復調が支障なく行なわれる。また、この場合にアナログ周波数シンセサイザの発振周波数を変化させて中間周波帯域をシフトさせるため、デジタルバンドパスフィルタは1つですむことになりメモリ容量は少なくてすむ。さらにまた、変更間隔も小さくとることができる。またデジタル電圧制御

発振器を用いたため、復調のためのアナログ周波数シンセサイザを用いたときにその出力をデジタル乗算器へ供給するためのA/D変換器が不要となり、高性能化が可能となる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図。

第2図はデジタル電圧制御発振器のブロック図。

第3図はメモリ(SINEテーブル)の内容、アドレスおよび位相との関係を示す模式図。

第4図および第5図はデジタル電圧制御発振器の作用の説明に供する線図および波形図。

第6図は本発明の作用の説明に供する周波数スペクトル配置図。

第7図および第8図は従来例を示すブロック図。1…アプテネータ、2…加算器、3…位相推移データ発生器、4…遅延回路、5…メモリ、6…および14…乗算器、7…アナログバンドパスフィルタ、8…アナログ周波数シンセサイザ、

特開昭64-54944 (6)

10…制御回路、11…デジタル電圧制御発振器、
12…A/D変換器、13…デジタルバンドパスフ
ィルタ、14…D/A変換器。

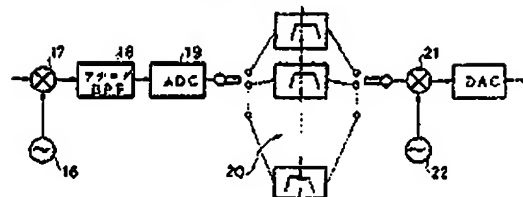
特許出願人

株式会社 ケンウッド

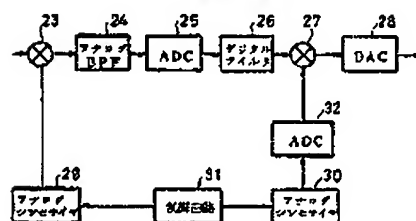
代理人 弁理士 砂子 信夫

(ほか1名)

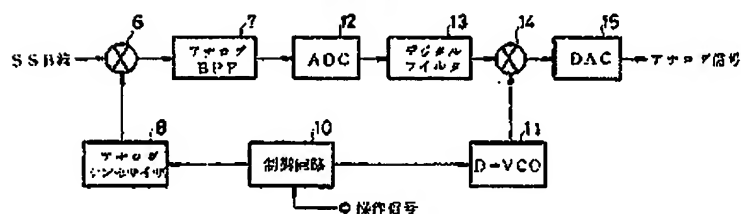
第7図



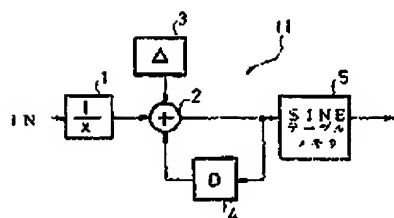
第8図



第1図



第2図

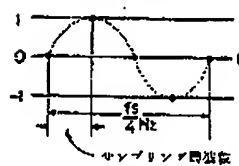


第3図

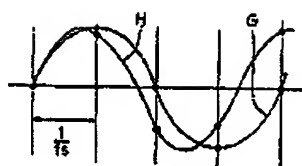
位相	アドレス	SINE
0	0000	0
...
$\frac{\pi}{2}$	1000H	1
...
π	2000H	0
...
$\frac{3\pi}{2}$	3000H	-1
...	3FFFH	...

特開昭64-54944 (7)

第 4 図



第 5 図



第 6 図

